

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-134457

(P2001-134457A)

(43)公開日 平成13年5月18日(2001.5.18)

(51)IntCl. <sup>7</sup>	識別記号	F I	テーマコード(参考)
G 0 6 F 11/22	3 1 0	G 0 6 F 11/22	3 1 0 A 2 G 0 3 2
11/28	3 4 0	11/28	3 4 0 C 5 B 0 4 2
// G 0 1 R 31/28		G 0 1 R 31/28	F 5 B 0 4 8
			9 A 0 0 1

審査請求 未請求 請求項の数2 O L (全 9 頁)

(21)出願番号 特願平11-316160

(22)出願日 平成11年11月8日(1999.11.8)

(71)出願人 390005175

株式会社アドバンテスト

東京都練馬区旭町1丁目32番1号

(72)発明者 東 晋作

東京都練馬区旭町1丁目32番1号 株式会社アドバンテスト内

(72)発明者 福島 清

東京都練馬区旭町1丁目32番1号 株式会社アドバンテスト内

(74)代理人 100103171

弁理士 雨貝 正彦

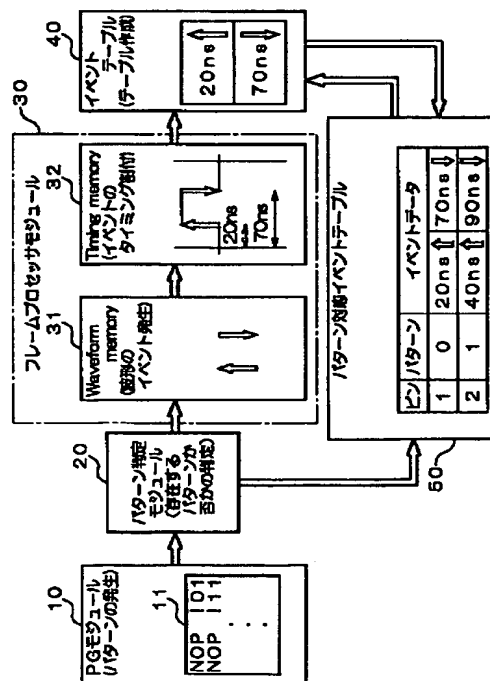
最終頁に続く

(54)【発明の名称】 半導体試験用プログラムデバッグ装置

(57)【要約】

【課題】 半導体試験装置の動作をエミュレートした場合でも各ピンに対応した波形データを高速に作成することができるようにする。

【解決手段】 フレームプロセッサモジュール30が発生したイベントデータをパターンデータと共にパターン対応イベントテーブル50に格納する。パターン発生モジュール10から出力されたパターンデータがパターン対応イベントテーブル50に存在するか否かをパターン判定モジュール20で判定する。判定の結果、パターンデータが既に存在する場合にはそこからパターンデータに対応したイベントデータを読み出してイベントテーブル40に格納する。パターンデータが存在しない場合にはフレームプロセッサモジュール30による通常のイベントデータの発生処理を行う。



## 【特許請求の範囲】

【請求項1】 バターンプログラムに基づいた複数ビット構成のデータを出力するバターン発生手段と、

前記複数ビット構成のデータに基づいて、波形メモリから波形のイベントに関するデータが発生し、タイミングメモリからイベントの発生タイミングを示すタイミングデータが発生し、前記イベントに関するデータと前記タイミングデータとからなるイベントデータを出力するフレームアロセッサ手段と、

前記フレームアロセッサ手段から出力される前記イベントデータを格納するイベントトラナール手段と、

前記イベントトラナール手段に格納された前記イベントデータを、そのイベントデータの発生元となった前記複数ビット構成のデータと関連付けて格納するバターン対応イベントトラナール手段と、

前記バターン発生手段から出力される前記複数ビット構成のデータが前記バターン対応イベントトラナールに存在する場合に前記バターン対応イベントトラナール手段から前記複数ビット構成のデータに対応した前記イベントデータを読み出して前記イベントトラナール手段に格納

し、存在しない場合には前記複数ビット構成のデータを前記フレームアロセッサ手段に出力するバターン判定手段とを含んで構成されることを特徴とする半導体試験用プログラム装置。

【請求項2】 請求項1において、

前記バターン対応イベントトラナール手段には、前記複数ビット構成のデータをアドレスとして前記イベントデータが格納されていることを特徴とする半導体試験用プログラム装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体試験装置の動作をエミュレートして試験用プログラムの検証を行う半導体試験用プログラム装置に関する。

【0002】

【従来の技術】 従来から、出荷前のロジックICや半導体メモリ等の各種の半導体素子に対して直流試験や機能試験等を行うものとして、半導体試験装置が知られてい

る。半導体試験装置が行う試験は大別して、機能試験と直流試験である。機能試験は、被検査用半導体デバイスに所定の試験バターン信号を与え、この試験バターン信号に対して予定通りの動作を被検査用半導体デバイスが行ったか否かを検査するものである。直流試験は、被検査用半導体デバイスの各端子の直流特性が予定した特性を満たしているか否かを検査するものである。例えば、

既知の電圧を印加した場合に予定通りの電流が端子から取り出せるか否かを試験する電圧印加電流測定試験、または既知の電流を流したり取り出した場合に予定通りの電圧が端子に発生しているか否かを試験する電流

印加電圧測定試験などがある。また、機能試験を行う場合

合でも、ハイレベル時の電圧を正規の電圧値、例えば5ボルトよりも低い値の4ボルトに設定したり、またはローレベル時の電圧を正規の電圧値、例えば0ボルトよりも高い値の0.5ボルトに設定したり、被検査用半導体デバイスに印加される電圧条件や電流条件などを種々変更して行う場合が多い。

【0003】 機能試験や直流試験を行う場合にどのような項目の試験をどのような条件で行うかの各種の条件は予め半導体試験用プログラムに組み込まれているので、この半導体試験用プログラムを動作させることによって

被検査用半導体デバイスの各種試験を行うことができ、しかしながら、半導体試験用プログラムは、試験項目の設定、試験条件の設定、試験の実行、試験結果の判定などといった多岐に渡る動作を制御しなければならず、膨大なスラップのプログラムで構築されている。この半導体試験用プログラムは被検査用半導体デバイスの種類が変更になったり、そのロジックが変更になったりした場合、それに併せて種々変更されなければならない

い。半導体試験用プログラムが新規に作成されたり、変更された場合にそのプログラム自体が正常に動作するものなのか否か、そのプログラムの評価を行わなければならない。

【0004】 その一方法として、実際の半導体試験装置を用いて予め良否の分かっている被検査用半導体デバイスに対して、半導体試験用プログラムを動作させて、そのプログラムの評価を行っていた。しかし、半導体試験装置自体が高価であって導入台数も少ないことから、実際の半導体試験装置を用いて半導体試験用プログラムの正常に動作するか否かの評価を行うことは、半導体試験のライントを停止することになり、好ましくない。そこで、

従来は、実際の半導体試験装置を用いて半導体試験用プログラムの評価を行うのではなく、ワークステーション等の汎用コンピュータを用いて半導体試験装置の動作をエミュレートして、その半導体試験用プログラムが正常に動作しているか否かの検証を行っていた。

【0005】 このように半導体試験装置の動作をエミュレートするものとして、例えば特開平9-185519号公報に記載されたようなものがある。これは、半導体試験用プログラムが正常に動作するか否かを試験するためのプログラク装置に関するものである。このプログラク装置は、汎用コンピュータのオペレーティングシステムの下のプログラク対象となる半導体試験用プログラムを動作させることによって、疑似的な半導体試験装置を構成している。このプログラク装置は、実際の半導体試験装置が実際の被検査用半導体デバイスに対して試験を行うのと同じように、被検査用半導体デバイスの測定対象となる各ピン（評価対象ピン）に対して試験条件に従った印加

波形データを作成し、この印加波形データが被検査用半導体デバイスに入力ピンに印加された場合に出力ピンから出力されるであろう出力波形データを擬似的に作成

し、この出力波形を試験条件と比較することによって、バス/フェイルの判定を行い、それを試験結果格納部に格納し、それと予想される試験結果の期待値とを比較検討し、半導体試験用プログラムが正常に動作しているか否かの検証を行っていた。

【0006】図4は、従来のデバッグ装置において、試験条件に従った印加波形データを作成するドライバ波形発生部の概略構成を示す図である。同図において、ドライバ波形発生部は、パターン発生モジュール（PGモジュール）10、フレームプロセッサモジュール30及びイベントテーブル40を含んで構成される。パターン発生モジュール10は、パターンプログラム11に従った複数ビット構成のパターンデータを発生し、フレームプロセッサモジュール30に出力する。例えば、パターン発生モジュール10から出力される複数ビット構成のパターンデータは、通常のパターン発生器が発生する3ビット構成のデータと、16通りのタイミングエッジを選択するための4ビット構成のタイミングセットと、パターン発生モードに関するモードデータとの組合せによって決定される5ビット構成のデータに、波形の印加されるピンを特定するピンデータが付加されたもので構成されている。ピンデータを付加するのは、印加波形の種類（NRZ波形、NZ波形、SBC波形、FIX波形など）を各ピン毎に設定することができるようになっているからである。

【0007】フレームプロセッサモジュール30は、波形メモリ（Waveform memory）31及びタイミングメモリ（Timing memory）32を含んで構成され、パターン発生モジュール10から出力されるパターンデータに基づいたイベントデータを生成し、イベントテーブル40に出力する。波形メモリ31は、パターン発生モジュール10から出力されるパターンデータに基づいて、波形のイベントに関するデータを発生する。この波形のイベントに関するデータは、波形の立ち上がりを示すデータ又は波形の立ち下がりを示すデータである。タイミングメモリ32は、パターン発生モジュール10から出力されるパターンデータに基づいて、波形メモリ31から出力される波形のイベントに関するデータに対してそのイベントの発生タイミングを示すタイミングデータを割り付けてイベントデータ（イベントに関するデータとタイミングデータとの組合せから構成されるデータ）を生成し、それをイベントテーブル40に出力する。イベントテーブル40には、フレームプロセッサモジュール30から出力されるイベントデータが各ピンに対応した波形データとして順次格納される。

【0008】図4のドライバ波形発生部がパターンプログラム11に従ってどのように動作するのかについて説明する。なお、パターン発生モジュール10から出力される複数ビット構成のパターンデータはパターンプログラム11内の印加パターンデータとピンデータとから構

成されているものとし、タイミングセットとモードデータについては省略して説明する。まず、第1のNOP命令「NOP !01」に従って、パターン発生モジュール10は、第1ピンのピンデータ「1」と印加パターンデータ「0」に対応したパターンデータ「10」をフレームプロセッサモジュール30に出力する。波形メモリ31は、パターンデータ「10」に基づいて波形の立ち上がりを示すイベントと立ち下がりを示すイベントの二つを発生する。タイミングメモリ32は、立ち上がりを示すイベントの発生タイミングとして20nsを、立ち下がりを示すイベントの発生タイミングとして70nsを割り付ける。その結果、イベントテーブル40には、タイミング20nsで立ち上がるというイベントデータと、タイミング70nsで立ち下がるというイベントデータとからなる波形データが格納される。

【0009】次に、パターン発生モジュール10は、第1のNOP命令「NOP !01」の第2ピンのピンデータ「2」と印加パターンデータ「1」に対応したパターンデータ「21」をフレームプロセッサモジュール30に出力する。フレームプロセッサモジュール30は、パターンデータ「21」に基づいたイベントデータを生成し、それを波形データとしてイベントテーブル40に格納する。以下、同様にして、第2のNOP命令「NOP !11」の第1ピンのピンデータ「1」と印加パターンデータ「1」に対応したパターンデータ「11」、第2ピンのピンデータ「2」と印加パターンデータ「1」に対応したパターンデータ「21」に基づいた処理を順次繰り返す、半導体試験装置のドライバ波形発生部の動作をエミュレートする。

【0010】

【発明が解決しようとする課題】ところで、実際の半導体試験装置は、各ピン毎にフレームプロセッサを有している。各フレームプロセッサは、パターン発生部からのパターンデータに基づいて並列的に処理を行っている。しかしながら、従来のデバッグ装置は、汎用コンピュータのオペレーティングシステムの下で実際のフレームプロセッサと同等の処理を行わせるようにしているために、図4に示すようにフレームプロセッサモジュール30を用いて、パターンプログラムに従って第1ピン、第2ピン…の順番で直列に波形データの生成処理を行っている。すなわち、実際の半導体試験装置のフレームプロセッサが行っていた並列的な処理を直列的な処理に変換して実行している。従って、被検査用半導体デバイスのピン数が増加するに従って波形データの作成処理に多大の時間を費やすようになり、問題となっていた。また、最近では被検査用半導体デバイスのピン数は増加の一途にあり、波形データの作成処理に要する時間を短縮することは重要な課題となっていた。

【0011】この発明は、このような点に鑑みて創作されたものであり、その目的は、半導体試験装置の動作を

エミュレートした場合でも各ピンに対応した波形データを高速に作成することのできる半導体試験用プログラムデバッグ装置を提供することにある。

#### 【0012】

【課題を解決するための手段】上述の課題を解決するために、請求項1に記載された半導体試験用プログラムデバッグ装置は、パターンプログラムに基づいた複数ビット構成のデータを出力するパターン発生手段と、前記複数ビット構成のデータに基づいて、波形メモリから波形のイベントに関するデータを発生し、タイミングメモリからイベントの発生タイミングを示すタイミングデータを発生し、前記イベントに関するデータと前記タイミングデータとからなるイベントデータを出力するフレームプロセッサ手段と、前記フレームプロセッサ手段から出力される前記イベントデータを格納するイベントテーブル手段と、前記イベントテーブル手段に格納された前記イベントデータを、そのイベントデータの発生の元となった前記複数ビット構成のデータと関連付けて格納するパターン対応イベントテーブル手段と、前記パターン発生手段から出力される前記複数ビット構成のデータが前記パターン対応イベントテーブルに存在する場合には前記パターン対応イベントテーブル手段から前記複数ビット構成のデータに対応した前記イベントデータを読み出して前記イベントテーブル手段に格納し、存在しない場合には前記複数ビット構成のデータを前記フレームプロセッサ手段に出力するパターン判定手段とを含んで構成されるものである。

【0013】請求項1に記載された発明は、フレームプロセッサ手段が発生したイベントデータを複数ビット構成のデータと共にパターン対応イベントテーブル手段に格納しておき、パターン発生手段から出力された複数ビット構成のデータがパターン対応イベントテーブル手段に存在するかどうかをパターン判定手段で判定し、それが既に存在する場合にはそこから複数ビット構成のデータに対応したイベントデータを読み出してイベントテーブル手段に格納し、存在しない場合にはフレームプロセッサ手段による通常のイベントデータの発生処理を行うようにしたものである。これによって、一旦発生されたイベントデータについてはフレームプロセッサ手段が行っていたイベントデータの発生処理を省略することができ、各ピンに対応した波形データを高速に作成することができるようになる。なお、半導体試験装置のようにパターンプログラムに基づいて複数ビット構成のデータが繰り返し発生されるような場合には、フレームプロセッサ手段によるイベントデータの発生処理の省略される割合も高くなり、その効果は極めて大きい。

【0014】請求項2に記載された本発明の半導体試験用プログラムデバッグ装置は、前記パターン対応イベントテーブル手段に前記複数ビット構成のデータをアドレスとする前記イベントデータを格納したものである。請

求項2に記載された発明は、パターン対応イベントテーブル手段に複数ビット構成のデータをアドレスとして供給するだけで前記イベントデータを読み出すことができるので、波形データを高速に作成することができる。

#### 【0015】

【発明の実施の形態】以下、本発明に係る半導体試験用プログラムデバッグ装置の一実施の形態について、図面を参照しながら説明する。図2は、半導体試験用プログラムデバッグ装置の全体構成を示す図である。デバッグ装置100は、半導体試験装置の動作をエミュレートし、かつ被検査用半導体デバイスの動作をシミュレートすることによって、半導体試験用プログラムが正常に動作するか否かを検証するためのものであり、ワークステーション等の汎用コンピュータによって実現される。

【0016】この実施の形態に係るデバッグ装置100は、実際の半導体試験装置及び被検査用半導体デバイスの動作を模擬するものなので、その詳細な説明を行う前に、模擬される半導体試験装置の概略構成について説明する。

【0017】図3は、実際の半導体試験装置の全体構成を示す図である。同図では、半導体試験装置200に実際の被検査用半導体デバイス250が接続された状態が示されている。半導体試験装置200は、被検査用半導体デバイス250に対して各種の直流試験（DCパラメトリック試験）や機能試験を行うものである。半導体試験装置200は、テスト制御部210、テストバス230、テスト本体240、被検査用半導体デバイス250を搭載するソケット部（図示せず）を含んで構成されている。

【0018】テスト制御部210は、テスト本体240の動作を制御するためのものであり、半導体試験用プログラム（デバイステストプログラム）212、アプリケーションプログラム214、言語解析実行部216、テストライブラリ218、テストバストライバ220を含んで構成されている。

【0019】デバイステストプログラム212は、ユーザが半導体試験装置200を用いて、被検査用半導体デバイス250に対してどのような試験を行うのか、その手順や方法を記述したものである。一般的にこのデバイステストプログラムは、半導体試験装置200のユーザによって開発作成されるものである。従って、ユーザは実際の半導体試験装置200を用いることなく、この実施の形態に係るデバッグ装置100を用いて自分の作成したデバイステストプログラム212が正常に動作するか否かの検証を行い、完成度の高いデバイステストプログラムを作成することができる。言語解析実行部216は、デバイステストプログラム212の構文解析などを行い、デバイステストプログラム212に従って半導体試験装置200を忠実に動作させる中心的な役割を果たすものである。アプリケーションプログラム214は、

デバイステストプログラム212及び言語解析実行部216と連携して動作するものであり、機能試験及び直流試験に対応した実際の試験信号等を被検査用半導体デバイス250に印加し、その出力信号を取り込んで被検査用半導体デバイス250の良否を判定したり、特性を解析するものである。テストライブラリ218は、言語解析実行部216によって構文解析が行われた後のデバイステストプログラム212の命令をレジスタレベルの命令（後述するレジスタ242へのデータ書き込み命令及びレジスタ242からのデータ読み出し命令に関するデータ）に変換して、半導体試験装置200の動作に必要なデータの作成や設定を行うとともに、テスト本体240に対して測定動作を指示する。テストバスドライバ220は、テストバス230を介して、テストライブラリ218によって作成されたデータをテスト本体240内のレジスタ242に転送する。

【0020】テスト本体240は、テストバス230を介して取り込まれたテスト制御部210からのデータに基づいて被検査用半導体デバイス250に対して各種の試験を行う。テスト本体240は、レジスタ242とメモリ244と試験実行部246とを含んで構成される。レジスタ242は、テストバス230を介して取り込まれたテストライブラリ218からのデータを格納する。このレジスタ242に格納されたデータは、直接あるいはメモリ244を介して試験実行部246に出力される。また、レジスタ242及びメモリ244は、試験実行部246からの試験結果に関するデータを格納する試験結果格納領域（図示せず）を有する。

【0021】試験実行部246は、機能試験実行部247およびDCパラメトリック試験実行部248を備えている。試験実行部246は、レジスタ242やメモリ244に格納されたテストライブラリ218からのデータに基づいて、被検査用半導体デバイス250に対して機能試験やDCパラメトリック試験を行い、その試験結果のデータをレジスタ242やメモリ244の試験結果格納領域に格納する。この試験実行部246内に、被検査用半導体デバイス250の各ピンに印加される印加波形データを作成するドライバ波形発生部が複数存在する。レジスタ242及びメモリ244に格納された試験結果データは、テストドライバ220によってテストバス230を介して直接テストライブラリ218に取り込まれる。なお、メモリ244に格納された試験結果データは、レジスタ242を介してテストライブラリ218に取り込まれる。

【0022】図2のデバッグ装置100は上述の半導体試験装置200の全体動作をエミュレートすると共に被検査用半導体デバイス250の動作をシミュレートするものである。従って、半導体試験装置200用に作成されたデバイステストプログラム112を図2のデバッグ装置100を用いて実行すると、そのデバイステストプ

ログラム112の動作がユーザの意図したものと一致するか否かを調べることができる。次に、この実施の形態に係るデバッグ装置100の構成について説明する。

【0023】図2に示すエミュレータ制御部110は、デバイステストプログラム112、アプリケーションプログラム114、言語解析実行部116、テストライブラリ118、テストバスエミュレータ120を含んで構成されている。このエミュレータ制御部110は、テストエミュレート部140の動作を制御するためのものであり、図3に示した半導体試験装置200に含まれるテスト制御部210と基本的に同じ動作を行う。

【0024】デバイステストプログラム112は、半導体試験装置200を用いて被検査用半導体デバイス250に対してどのような試験を行うのか、その手順や方法を記述したものであり、デバッグ装置100によってデバッグの対象となるプログラムである。従って、図3のデバイステストプログラム212がそのままこのデバイステストプログラム112として移植され、同様の動作を行うように構成される。アプリケーションプログラム114、言語解析実行部116及びテストライブラリ118についても同様に、図3のアプリケーションプログラム214、言語解析実行部216及びテストライブラリ218がそのまま移植され、同様の動作を行うように構成される。テストバスエミュレータ120は、エミュレータ制御部110とテストエミュレート部140との間を仮想的に接続する仮想テストバス130を駆動し、この仮想テストバス130を介してテストライブラリ118とテストエミュレート部140との間のデータの送受を制御する。

【0025】テストエミュレート部140は、図2のテスト本体240の動作をソフトウェアで実現したものであり、エミュレータ制御部110内のテストライブラリ118の動作指示に応じて仮想デバイス150に対する模擬的な試験を行う。テストエミュレート部140は、仮想レジスタ142と仮想メモリ144と仮想試験実行部146を含んで構成されている。仮想レジスタ142は、テストライブラリ118からのデータを格納する。この仮想レジスタ142に格納されたデータは、直接あるいは仮想メモリ144を介して仮想試験実行部146に送られる。また、仮想レジスタ142と仮想メモリ144は、仮想試験実行部146から出力される仮想試験結果データを格納する試験結果格納領域（図示せず）を有する。仮想試験実行部146は、機能試験実行部147及びDCパラメトリック試験実行部148を備えている。この仮想試験実行部146は、仮想レジスタ142に格納されたテストライブラリ118からのデータに基づいて、仮想デバイス150に対して所定の印加波形データを出力して、機能試験実行部147による機能試験やDCパラメトリック試験実行部148によるDCパラメトリック試験を行い、その仮想試験結果データを仮想

レジスタ142やメモリ144の試験結果格納領域に格納する。仮想レジスタ142及び仮想メモリ144に格納された仮想試験結果データは、仮想テストバス130を介してテストライブラリ118に出力される。試験結果解析判定部160は、仮想レジスタ142やメモリ144又はテストライブラリ118に格納されている仮想試験結果データと、予め予想される試験結果の期待値とを比較検討し、デバイステストプログラム112が正常に動作しているか否かの検証を行い、その結果をユーザに表示する。例えば、デバイステストプログラム112の実行によって誤った試験結果が得られた場合は、その誤った試験結果の原因となるプログラムの行番号等をモニタ(図示せず)上に表示したり、プリントアウトしたりする。

【0026】図1は、仮想デバイス150の各ピンに印加される印加波形データを擬似的に作成する仮想試験実行部147内のドライバ波形発生部の概略構成を示す図である。図1において図4と同じ構成のものには同一の符号が付してある。図1のドライバ波形発生部が図4のものとは異なる点は、フレームプロセッサモジュール30によって発生されたイベントデータをパターンデータと共にパターン対応イベントテーブル50に格納しておき、パターン発生モジュール10から出力されるパターンデータがパターン対応イベントテーブル50に存在する場合にはパターン対応イベントテーブル50からパターンデータに対応したイベントデータを読み出してイベントテーブル40に格納するようにした点である。

【0027】同図において、ドライバ波形発生部は、パターン発生モジュール10、パターン判定モジュール20、フレームプロセッサモジュール30、イベントテーブル40、パターン対応イベントテーブル50を含んで構成される。

【0028】パターン発生モジュール10は、パターンプログラム11に従った複数ビット構成のパターンデータを発生し、フレームプロセッサモジュール30に出力する。例えば、パターン発生モジュール10から出力される複数ビット構成のパターンデータは、通常のパターン発生器が発生する3ビット構成のデータと、16通りのタイミングエッジを選択するための4ビット構成のタイミングセットと、パターン発生モードに関するモードデータとの組合せからなる5ビット構成のデータに、さらに、波形の印加されるピンを特定するためのピンデータが付加された複数ビット構成のデータからなる。

【0029】パターン判定モジュール20は、パターン発生モジュール10から出力される複数ビット構成のパターンデータに対応するイベントデータがパターン対応イベントテーブル50に存在するか否かの判定を行い、それが存在しないと判定された場合にはそのパターンデータをフレームプロセッサモジュール30に出力し、存在すると判定された場合にはそのパターンデータをパ

ターン対応イベントテーブル50に出力する。なお、パターン判定モジュール20は、パターンデータ毎にフラグを設け、フラグに「1」がセットされているか否かによってパターン対応イベントテーブル50にパターンデータに対応するイベントデータが存在するか否かの判定を行うようにしてもよいし、パターン対応イベントテーブル50に直接アクセスして判定してもよい。

【0030】フレームプロセッサモジュール30は、波形メモリ31及びタイミングメモリ32を含んで構成され、パターン判定モジュール20から出力されるパターンデータに基づいたイベントデータを発生し、イベントテーブル40に出力する。波形メモリ31は、パターン判定モジュール10から出力されたパターンデータに基づいて波形のイベントに関するデータを発生する。この波形のイベントに関するデータは、波形の立ち上がりを示すデータ又は波形の立ち下がりを示すデータである。タイミングメモリ32は、パターン判定モジュール20から出力されたパターンデータに基づいて、波形メモリ31から出力される波形のイベントに関するデータに対してそのイベントの発生タイミングを示すタイミングデータを割り付け、イベントに関するデータとタイミングデータとの組合せから構成されるイベントデータを生成し、それをイベントテーブル40に出力する。

【0031】イベントテーブル40には、フレームプロセッサモジュール30から出力されたイベントデータ又はパターン対応イベントテーブル50から読み出されたイベントデータが各ピンに対応した波形データとして順次格納される。パターン対応イベントテーブル50には、パターン判定モジュール20から出力されるパターンデータをアドレスとして、イベントテーブル40に格納されたイベントデータと同じデータが順次格納される。パターン対応イベントテーブル50に格納されているイベントデータは、パターン判定モジュール20から出力されるパターンデータをアドレスとして順次読み出され、波形データとしてイベントテーブル40に出力され、そこに格納される。

【0032】上述したパターン発生モジュール10がパターン発生手段に、フレームプロセッサモジュール30がフレームプロセッサ手段に、波形メモリ31が波形メモリに、タイミングメモリ32がタイミングメモリに、イベントテーブル40がイベントテーブル手段に、パターン対応イベントテーブル50がパターン対応イベントテーブル手段に、パターン判定モジュール20がパターン判定手段に、それぞれ対応する。

【0033】図1のドライバ波形発生部がパターンプログラム11に従ってどのように動作するのかについて説明する。なお、パターン発生モジュール10から出力される複数ビット構成のパターンデータがパターンプログラム11内の印加パターンデータとピンデータとから構成されているものとして説明し、タイミングセットとモ

ードデータとの関係については省略する。

【0034】まず、第1のNOP命令「NOP !01」に従って、パターン発生モジュール10は、第1ピンのピンデータ「1」と印加パターンデータ「0」に対応したパターンデータ「10」をパターン判定モジュール20に出力する。なお、印加パターンデータは3ビット構成のデータであり、ピンデータは216ピンの場合には8ビット構成のデータであるが、説明の便宜上、上述のように表す。パターン判定モジュール20は、パターンデータ「10」がパターン対応イベントテーブル50には存在しないと判定するので、そのパターンデータ「10」をフレームプロセッサモジュール30に出力する。フレームプロセッサモジュール30の波形メモリ31は、パターン判定モジュール20から出力されるパターンデータ「10」に基づいて、波形の立ち上がりを示すイベントと立ち下がりを示すイベントの二つを発生する。フレームプロセッサモジュール30のタイミングメモリ32は、パターン判定モジュール20から出力されるパターンデータ「10」に基づいて、立ち上がりを示すイベントの発生タイミングとして20nsを、立ち下がりを示すイベントの発生タイミングとして70nsを割り付ける。その結果、イベントテーブル40には、タイミング20nsで立ち上がるというイベントデータと、タイミング70nsで立ち下がるというイベントデータとからなる波形データが格納される。同様に、パターン対応イベントテーブル50には、パターンデータ「10」をアドレスとして、タイミング20nsで立ち上がるというイベントデータと、タイミング70nsで立ち下がるというイベントデータとからなる波形データが格納される。

【0035】次に、パターン発生モジュール10は、第1のNOP命令「NOP !01」の第2ピンのピンデータ「2」と印加パターンデータ「1」に対応したパターンデータ「21」をパターン判定モジュール20に出力する。パターン判定モジュール20は、パターンデータ「21」がパターン対応イベントテーブル50には存在しないと判定するので、そのパターンデータ「21」をフレームプロセッサモジュール30に出力する。フレームプロセッサモジュール30の波形メモリ31は、パターン判定モジュール20から出力されるパターンデータ「21」に基づいて波形の立ち上がりを示すイベントと立ち下がりを示すイベントの二つを発生する。フレームプロセッサモジュール30のタイミングメモリ32は、パターンデータ「21」に基づいて立ち上がりを示すイベントの発生タイミングとして40nsを、立ち下がりを示すイベントの発生タイミングとして90nsを割り付ける。その結果、イベントテーブル40には、タイミング40nsで立ち上がるというイベントデータと、タイミング90nsで立ち下がるというイベントデータとからなる波形データが格納される。同様に、パタ

ーン対応イベントテーブル50には、第2ピンのピンデータ「2」と印加パターンデータ「1」に対応するパターンデータ「21」をアドレスとして、タイミング40nsで立ち上がるというイベントデータと、タイミング90nsで立ち下がるというイベントデータとからなる波形データが格納される。

【0036】パターン発生モジュール10は、第2のNOP命令「NOP !11」の第1ピンのピンデータ「1」と印加パターンデータ「1」に対応したパターンデータ「11」をパターン判定モジュール20に出力する。パターン判定モジュール20は、パターンデータ「11」がパターン対応イベントテーブル50には存在しないと判定するので、そのパターンデータ「11」をフレームプロセッサモジュール30に出力する。フレームプロセッサモジュール30は、パターンデータ「11」に基づいたイベントデータを発生し、それを前述と同様にしてイベントテーブル40及びパターン対応イベントテーブル50に格納する。

【0037】次に、パターン発生モジュール10は、第2のNOP命令「NOP !11」の第2ピンのピンデータ「2」と印加パターンデータ「1」に対応したパターンデータ「21」をパターン判定モジュール20に出力する。パターン判定モジュール20は、パターンデータ「21」が既にパターン対応イベントテーブル50に存在すると判定するので、そのパターンデータ「21」を読み出しアドレスとしてパターン対応イベントテーブル50に出力する。アドレスとしてパターンデータ「21」の入力されたパターン対応イベントテーブル50からは前回の処理で格納済みのタイミング40nsで立ち上がるというイベントデータと、タイミング90nsで立ち下がるというイベントデータとからなる波形データが読み出され、イベントテーブル40に格納される。以下、同様にして、パターンプログラム11に従って、同様の処理が繰り返し実行される。このように、フレームプロセッサモジュール30の処理が省略され、パターン対応イベントテーブル50から読み出されたイベントデータがイベントテーブル40に格納されるだけなので、処理が簡単になり、速度が向上する。また、パターンプログラム11は通常同じパターンの繰り返しによって構成されている場合が多いので、このような場合にはフレームプロセッサモジュール30の処理が省略される割合も大きくなるので、実行速度が飛躍的に向上することになる。

【0038】なお、本発明は上述の実施形態に限定されるものではなく、本発明の要旨の範囲内で種々の変形実施が可能である。例えば、図1のドライバ波形発生部は、機能ブロック図で示してあるが、これに対応したソフトウェアで実現してもよいことは言うまでもない。また、上述の実施の形態では、印加波形データを作成するドライバ波形発生部を例に説明したが、比較波形データ

を作成する場合にも同様に適用できることは言うまでもない。

【0039】

【発明の効果】 上述したようにこの発明によれば、半導体試験装置の動作をエミュレートした場合でも各ピンに対応した波形データを高速に作成することができるという効果がある。

【図面の簡単な説明】

【図1】 本発明に係る半導体試験用プログラムデバッグ装置において、仮想デバイスの各ピンに印加される印加波形データを擬似的に作成するドライバ波形発生部の概略構成を示す図である。

【図2】 本発明に係る半導体試験用プログラムデバッグ装置の全体構成を示す図である。

\*

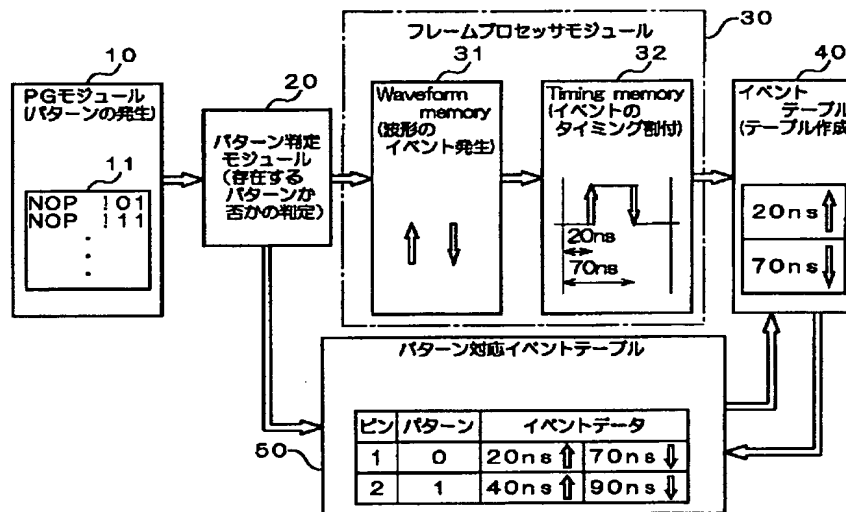
\*【図3】 実際の半導体試験装置の全体構成を示す図である。

【図4】 従来のデバッグ装置において、試験条件に従った印加波形データを作成するドライバ波形発生部の概略構成を示す図である。

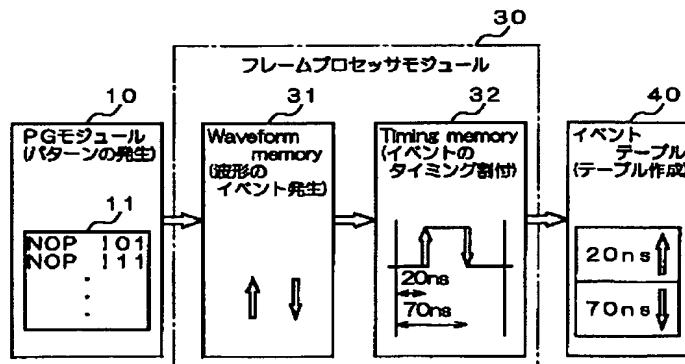
【符号の説明】

- 10 パターン発生モジュール
- 20 パターン判定モジュール
- 30 フレームプロセッサモジュール
- 31 波形メモリ
- 32 タイミングメモリ
- 40 イベントテーブル
- 50 パターン対応イベントテーブル

【図1】

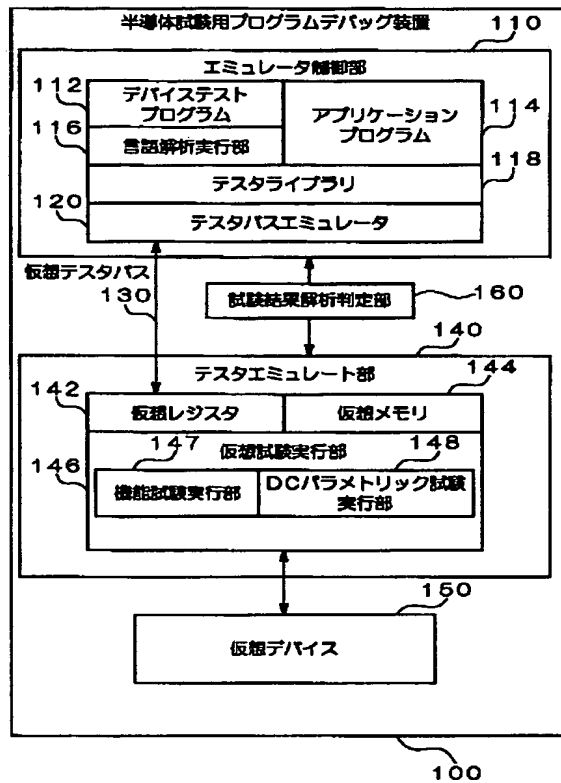


【図4】

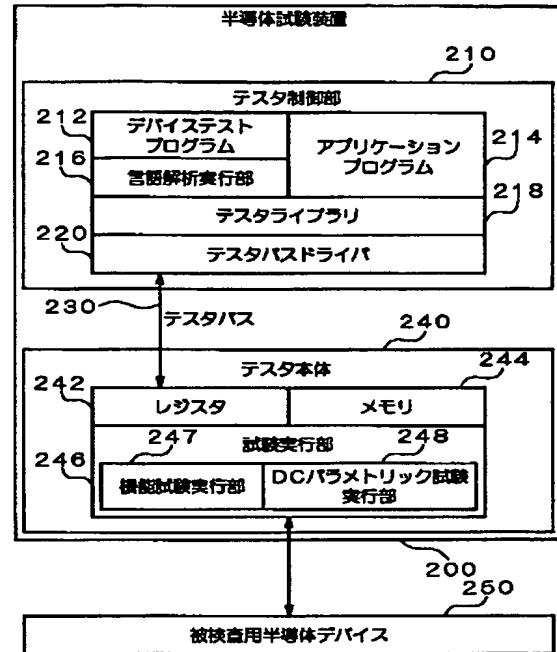




【図2】



【図3】



フロントページの続き

Fターム(参考) 2G032 AA07

5B042 GB05 HH06 HH17 HH49

5B048 AA20 DD04 DD05 DD17

9A001 BB05 BB06 HH32 LL05